

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-245428

(43)Date of publication of application : 30.08.2002

(51)Int.Cl.

G06K 19/07
B42D 15/10

(21)Application number : 2001-043631 (71)Applicant : TOSHIBA CORP

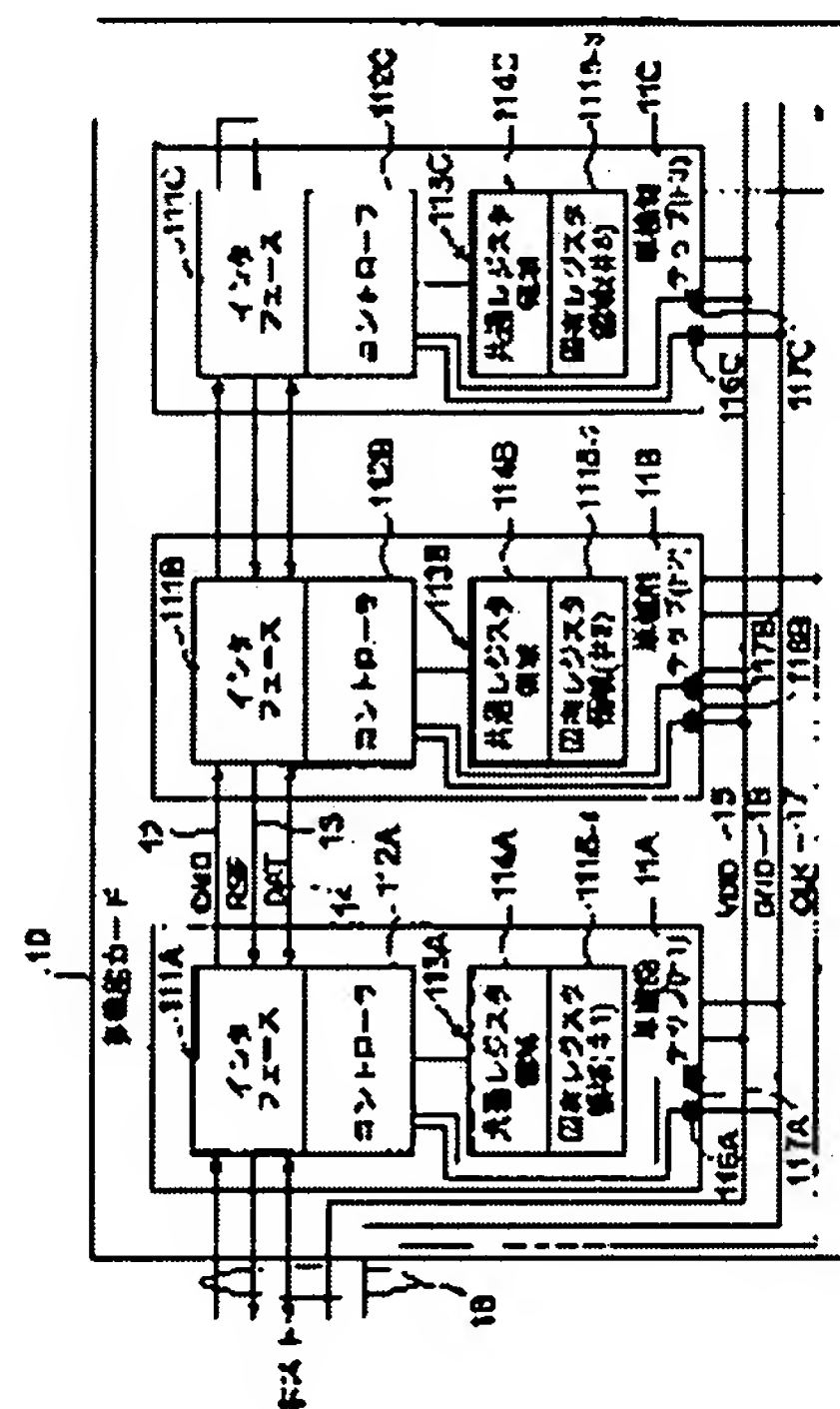
(22)Date of filing : 20.02.2001 (72)Inventor : FUJIMOTO TERUHISA
AOYAMA YOSHIMASA

(54) MULTIFUNCTION CARD HAVING PLURALITY OF FUNCTIONS, ONE FUNCTION CHIP USED IN THE CARD AND METHOD FOR CONFIGURING MULTIFUNCTION CARD

(57)Abstract:

PROBLEM TO BE SOLVED: To easily develop a multifunction card.

SOLUTION: One function chips 11A to 11C having functions F1 to F3 are connected by a signal line group including a command line 12, a response line 13 and a data line 14. Controllers 112A to 112C respectively access common areas 114A to 114C when a function number in an instruction on the command line 12 is a specific function number, e.g. 0 being common to the chips 11A to 11C. When the function number in the instruction is any number other than 0, for instance, 1, the controller 112A accesses an inherent area 115-1, when the function number is 2, the controller 112B accesses an inherent area 115-2, and when the function number is 3, the controller 112C accesses an inherent area 115-3.



LEGAL STATUS

[Date of request for examination] 20.02.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3643539

[Date of registration] 04.02.2005

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号
特開2002-245428
(P2002-245428A)

(43)公開日 平成14年 8 月30日 (2002. 8. 30)

(51)Int.Cl. ⁷	識別記号	F I	デフォルト(参考)
G 0 6 K 19/07		B 4 2 D 15/10	5 2 1 、 2 C 0 0 5
B 4 2 D 15/10	5 2 1	C 0 6 K 19/00	N 5 B 0 3 5

審査請求 有 請求項の数11 O L (全 13 頁)

(21)出願番号 特願2001-43631(P2001-43631)

(22)出願日 平成13年 2 月20日 (2001. 2. 20)

(71)出願人 000003078
株式会社東芝
東京都港区芝浦一丁目1番1号

(72)発明者 藤本 曜久
東京都青梅市末広町2丁目9番地 株式会
社東芝青梅工場内

(72)発明者 青山 能正
東京都青梅市末広町2丁目9番地 株式会
社東芝青梅工場内

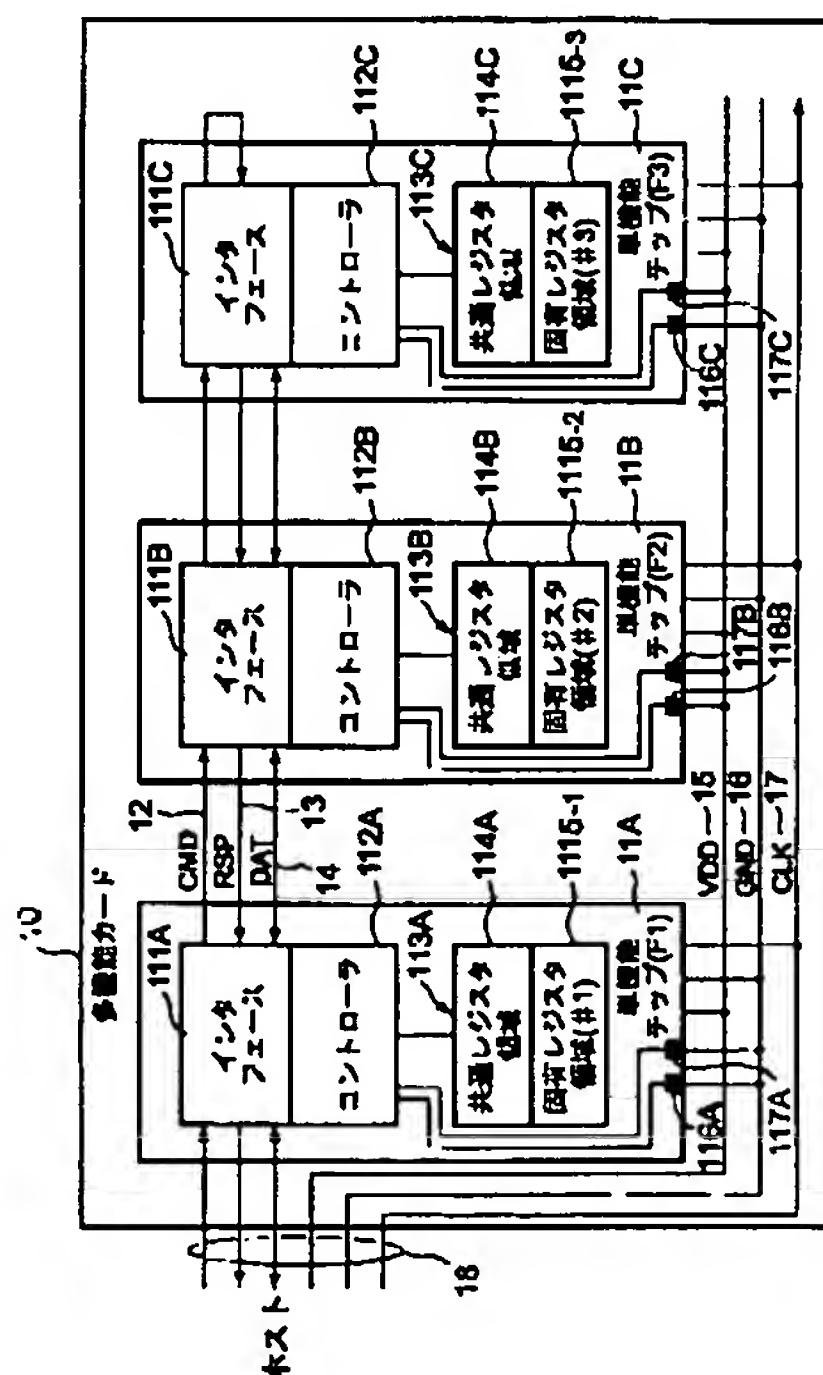
(74)代理人 100058479
弁理士 鈴江 武彦 (外6名)

Fターム(参考) 2C005 MA17 MA33 MB04 NA02 NB04
SA22
5B035 AA04 BB09 CA07 CA29

(54)【発明の名称】 複数の機能を有する多機能カード、同カードに用いられる単機能チップ及び多機能カードの構成方法

(57)【要約】

【課題】多機能カードが容易に開発できるようにする。
【解決手段】機能F1～F3を有する単機能チップ11A～11Cは、コマンドライン12、応答ライン13、及びデータライン14を含む信号ライン群により接続される。コントローラ112A～112Cは、コマンドライン12上の命令中の機能番号がチップ11A～11Cに共通の特定機能番号、例えば0であるならば、それぞれ共通領域114A～114Cをアクセスする。また、命令中の機能番号が0以外であるならば、例えば1のときはコントローラ112Aにより固有領域115-1がアクセスされ、2のときはコントローラ112Bにより固有領域115-2がアクセスされ、3のときはコントローラ112Cにより固有領域115-3がアクセスされる。



【特許請求の範囲】

【請求項1】 複数の機能を有し、ホストシステムに接続して用いられる多機能カードにおいて、前記複数の機能のうちの少なくとも1つを有する複数の単機能チップと、前記複数の単機能チップを接続する信号ライン群であって、命令を転送するためのコマンドライン、前記命令に対する応答をシリアル転送するための応答ライン、及びデータを転送するためのデータラインを含む信号ライン群とを具備し、前記各単機能チップは、前記複数の機能に共通の共通領域、及び自身の有する機能に固有の固有領域を含む記憶モジュールと、当該チップ全体を制御するコントローラであって、前記コマンドライン上の命令が機能を指定する機能番号を含む場合、当該命令中の機能番号が前記各単機能チップに共通の特定機能番号であるならば前記共通領域をアクセスし、当該命令中の機能番号が当該チップの有する機能に割り当てられた機能番号であるならば、その機能に固有の当該チップ内の前記固定領域をアクセスするコントローラとを備えることを特徴とする多機能カード。

【請求項2】 前記各単機能チップのコントローラは前記多機能カードの初期化時に、当該チップの前記ホストシステムを基準とする接続位置が先頭であるならば、自身の有する機能に対し、予め定められた機能番号から順に機能番号を割り当てると共に、割り当てた機能番号を前記コマンドライン及び前記データラインのうち予め定められたラインに送出し、当該チップの接続位置が先頭でも最後でもないならば、自身の有する機能に対し、直前の接続位置の単機能チップから送出された機能番号の次の機能番号から順に機能番号を割り当てると共に、割り当てた機能番号を前記コマンドライン及び前記データラインのうち予め定められたラインに送出し、当該チップの接続位置が最後であるならば、自身の有する機能に対し、直前の接続位置の単機能チップから通知された機能番号の次の機能番号から順に機能番号を割り当てると共に、割り当てた機能番号を通知する応答を前記応答ラインに送出する手段を備えることを特徴とする請求項1記載の多機能カード。

【請求項3】 前記信号ライン群は電源ライン及び接地ラインを含み、前記各単機能チップは、前記電源ライン及び前記接地ラインの一方と接続される第1の端子と、前記電源ライン及び前記接地ラインの一方と接続される第2の端子とを含み、前記各単機能チップの前記コントローラは、当該チップの接続位置が、先頭、最後、及び先頭でも最後でもない位置を含む複数の位置のうちのいずれであるかを、前記第1及び第2の端子の状態に応じて判定する手段を備えることを特徴とする請求項2記載の多機能カード。

【請求項4】 前記各単機能チップのコントローラは前記多機能カードの初期化時に、当該チップの前記ホストシステムを基準とする接続位置が先頭であるならば、自身の有する機能に対し、予め定められた機能番号から順に機能番号を割り当てると共に、割り当てた機能番号を前記コマンドラインに送出し、当該チップの接続位置が先頭でないならば、自身の有する機能に対し、直前の接続位置の単機能チップから送出された機能番号の次の機能番号から順に機能番号を割り当てると共に、割り当てた機能番号を前記コマンドラインに送出し、当該チップの接続位置が最後であるならば、前記コマンドラインに送出した機能番号を含む応答を前記応答ラインに送出する手段を備えることを特徴とする請求項1記載の多機能カード。

【請求項5】 前記信号ライン群は電源ライン及び接地ラインを含み、前記各単機能チップは、前記電源ライン及び前記接地ラインの一方と接続される第1の端子と、前記電源ライン及び前記接地ラインの一方と接続される第2の端子とを備え、前記コマンドラインの終端と前記応答ラインの始端とが接続されており、前記各単機能チップの前記コントローラは、当該チップの接続位置が、先頭、及び先頭以外を含む複数の位置のうちのいずれであるかを、前記第1及び第2の端子の状態に応じて判定すると共に、前記コマンドラインに送出した機能番号を前記応答ラインから受信した場合に、当該チップの接続位置が最後であると判定する手段を備えることを特徴とする請求項4記載の多機能カード。

【請求項6】 前記各単機能チップのコントローラは、前記共通領域をリードアクセスした場合、当該チップの接続位置が最後であるならば、当該チップの有する機能に対応するリードデータ中のビットデータがその機能に対応するビット位置に設定された応答を前記応答ラインに送出し、当該チップの接続位置が最後でないならば、当該チップの有する機能に対応する前記応答ライン上の応答データ中のビット位置に、当該チップの有する機能に対応するリードデータ中のビットデータを設定するリード手段を備えることを特徴とする請求項5記載の多機能カード。

【請求項7】 前記各単機能チップのコントローラ内の前記リード手段は、前記コマンドライン上の命令が機能を指定する機能番号を含むリード命令である場合に、当該チップだけが選択されているか否かを判定し、選択されているならば、前記共通領域をリードアクセスして、そのリードデータを前記データラインに送出するリード手段を備えることを特徴とする請求項6記載の多機能カード。

【請求項8】 複数の機能を有する多機能カードを構成するのに用いられ、前記複数の機能のうちの少なくとも

1つを有する単機能チップであって、
前記複数の機能に共通の共通領域、及び自身の有する機能に固有の固有領域を含む記憶モジュールと、
前記チップ全体を制御するコントローラと、
命令を転送するためのコマンドライン、前記命令に対する応答をシリアル転送するための応答ライン、及びデータを転送するためのデータラインを含む信号ライン群と接続されるインタフェースとを具備し、
前記コントローラは、前記コマンドライン上の命令が機能を指定する機能番号を含む場合、当該命令中の機能番号が前記各単機能チップに共通の特定機能番号であるならば前記共通領域をアクセスし、当該命令中の機能番号が当該チップの有する機能に割り当てられた機能番号であるならば、その機能に固有の当該チップ内の前記固定領域をアクセスするアクセス手段を備えることを特徴とする単機能チップ。

【請求項9】 前記コントローラは、前記単機能チップの初期化時に、
当該チップが単独で用いられているか、ホストシステムに接続して用いられる多機能カードを構成するために、他の単機能チップと前記信号ライン群により接続されているかを判定する手段と、前記判定手段により単独で用いられていると判定された場合、自身の有する機能に対し、予め定められた機能番号から順に機能番号を割り当てる手段と、前記判定手段により他の単機能チップと接続されていると判定された場合、前記ホストシステムを基準とする接続位置が先頭であるならば、自身の有する機能に対し、予め定められた機能番号から順に機能番号を割り当てると共に、割り当てた機能番号を前記コマンドライン及び前記データラインのうち予め定められたラインに送出し、当該チップの接続位置が先頭でも最後でもないならば、自身の有する機能に対し、直前の接続位置の単機能チップから送出された機能番号の次の機能番号から順に機能番号を割り当てると共に、割り当てた機能番号を前記コマンドライン及び前記データラインのうち予め定められたラインに送出し、当該チップの接続位置が最後であるならば、自身の有する機能に対し、直前の接続位置の単機能チップから通知された機能番号の次の機能番号から順に機能番号を割り当てると共に、割り当てた機能番号を通知する応答を前記応答ラインに送出する手段を備えることを特徴とする請求項1記載の多機能カード。

【請求項10】 少なくとも1つの機能を有し、共通領域、及び当該機能に固有の固有領域を含む記憶モジュールを備えた複数の単機能チップが、命令を転送するためのコマンドライン、前記命令に対する応答をシリアル転送するための応答ライン、及びデータを転送するためのデータラインを含む信号ライン群によって接続された多機能カードの構成方法であって、
前記コマンドライン上の命令が機能を指定する機能番号

を含む場合、当該命令中の機能番号が前記各単機能チップに共通の特定機能番号であるか否かを判定するステップと、
前記命令中の機能番号が前記特定機能番号であるならば前記共通領域をアクセスするステップと、
前記命令中の機能番号が前記特定機能番号でないならば、前記各単機能チップの固有領域のうち、当該命令中の機能番号が割り当てられた機能に固有の固有領域をアクセスするステップとを具備することを特徴とする多機能カードの構成方法。

【請求項11】 前記多機能カードの初期化時に、
前記ホストシステムを基準とする接続位置が先頭の単機能チップにおいて、自身の有する機能に対し、予め定められた機能番号から順に機能番号を割り当てると共に、割り当てた機能番号を前記コマンドライン及び前記データラインのうち予め定められたラインに送出するステップと、
前記接続位置が先頭でも最後でもない単機能チップにおいて、自身の有する機能に対し、直前の接続位置の単機能チップから送出された機能番号の次の機能番号から順に機能番号を割り当てると共に、割り当てた機能番号を前記コマンドライン及び前記データラインのうち予め定められたラインに送出するステップと、
前記接続位置が最後の単機能チップにおいて、自身の有する機能に対し、直前の接続位置の単機能チップから通知された機能番号の次の機能番号から順に機能番号を割り当てると共に、割り当てた機能番号を通知する応答を前記応答ラインに送出するステップとを更に具備することを特徴とする請求項10記載の多機能カードの構成方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、複数の単機能チップを接続して構成される複数の機能を有する多機能カード、同カードに用いられる単機能チップ及び多機能カードの構成方法に関する。

【0002】

【従来の技術】近時、パーソナルコンピュータ、携帯情報端末、電子カメラ等の電子機器は、機能拡張が可能なように、入出力機能を有するカードが挿入可能なカードスロットを備えているのが主流となっている。このような電子機器では、カードスロットにカードを挿入することにより、そのカードに固有の入出力機能、例えばメモリ、セキュリティ回路、シリアルインタフェース、ブルートゥースインタフェース、U R T (Universal Asynchronous Receiver Transmitter) 等の入出力機能を容易に実現することができる。また最近では、複数種類の入出力機能（複数機能）を有するカード（多機能カード）が要求されている。

【0003】

【発明が解決しようとする課題】上記したように最近
は、多機能カードが要求されている。このようなカード
を実現するには、必要とする複数種類の入出力機能を有
する集積回路チップを開発することが好ましい。

【0004】しかし、必要な機能を高集積化して1チップ
(多機能チップ)に統合するには、開発に多くの時間を
要する。このため、複数機能を有する多機能チップが
実装された多機能カードの販売時期が遅れる等の問題が
生じやすい。

【0005】一方、各機能別のチップ(単機能チップ)
の開発は、同様のチップが既に存在する場合が多いこと
から、多機能チップに比べれば容易である。そこで最初
の段階では、必要とする種類の単機能チップを個別に開
発し、それぞれの種類の単機能チップを1つのカード上
に実装して多機能カードを実現することが考えられる。
この場合、多機能チップの開発が完了した段階で、その
多機能チップが実装されたカード(多機能カードに)の
製造・販売に切り替えればよい。

【0006】ところが、複数の単機能チップを実装して
多機能カードを実現するには、例えば特開平9-223
200号公報に記載されているように、個々の機能(チ
ップ)を管理する制御ユニットが必要となり、この制御
ユニットも開発しなければならない。

【0007】本発明は上記事情を考慮してなされたもの
でその目的は、開発が容易な多機能カード、同カードに
用いられる単機能チップ及び多機能カードの構成方法を
提供することにある。

【0008】

【課題を解決するための手段】本発明は、複数の機能を
有し、ホストシステムに接続して用いられる多機能カー
ドにおいて、上記複数の機能のうちの少なくとも1つを
有する複数の単機能チップと、命令を転送するためのコ
マンドライン、命令に対する応答をシリアル転送するた
めの応答ライン、及びデータを転送するためのデータラ
インを含み、上記複数の単機能チップを接続する信号ラ
イン群とを備え、上記各単機能チップに、上記複数の機
能に共通の共通領域、及び自身の有する機能に固有の固
有領域を含む記憶モジュールと、当該チップ全体を制御
するコントローラとを設けたことを特徴とする。このコン
トローラは、コマンドライン上の命令が機能を指定する
機能番号を含む場合に、その機能番号が上記各単機能チ
ップに共通の特定機能番号であるならば上記共通領域を
アクセスし、その機能番号が当該チップの有する機能に
割り当てられた機能番号であるならば、その機能に固有
の当該チップ内の上記固定領域をアクセスすることを特
徴とする。

【0009】このように、本発明の多機能カードにおい
ては、命令により各チップに共通の特定機能番号が指定
されたときは、共通領域がアクセスされ、特定機能番号
以外の機能番号が指定されたときは、その機能番号が割

り当てられている機能を持つ単機能チップに設けられ
た、その機能に固有の固有領域がアクセスされる。よっ
て、各チップが有する共通領域を、カード全体では1つ
の共通領域として見せることができる。これによりカー
ドとしてのメモリマップ構成は、当該カードが有する全
ての機能(チップ)に共通の1つの共通領域と、各機能
毎の固有領域とからなるメモリマップ構成、即ち低コス
ト化と実装面積の低減のために、必要な機能が統合され
た多機能チップを用いて実現される多機能カードで適用
すべきメモリマップ構成と等価となる。したがって、い
ずれのタイプの多機能カードを使用する場合でも、同一
のホストドライバで対応でき、2種類のホストドライバ
を開発する必要がない。また、複数の単機能チップを用
いて多機能カードを実現していることから、必要な機能
が統合された多機能チップを用いて多機能カードを実現
する場合に比べて開発が容易で且つ開発期間も短くて済
む。

【0010】また本発明は、上記各単機能チップのコン
トローラに次の手段、即ち多機能カードの初期化時に、
当該チップのホストシステムを基準とする接続位置が先
頭であるならば、つまり当該チップが初段のチップであ
るならば、自身の有する機能に対し、予め定められた機
能番号から順に機能番号を割り当てると共に、割り当て
た機能番号を次段に通知し、当該チップが初段でも最終
段でもないならば、自身の有する機能に対し、前段のチ
ップから送出された機能番号の次の機能番号から順に機
能番号を割り当てると共に、割り当てた機能番号を次段
に通知し、当該チップが最終段であるならば、自身の有
する機能に対し、前段チップから通知された機能番号の
次の機能番号から順に機能番号を割り当てると共に、割
り当てた機能番号を通知する応答を応答ラインに送出す
る手段を備えたことをも特徴とする。

【0011】このように本発明においては、多機能カー
ドを実現する複数の単機能チップが有する各機能につい
て、カード初期化時に、その機能を有するチップの接続
位置で決まる順番で、そのチップのコントローラにより
機能番号が自動的に割り当てられる。この割り当てに、
特開平9-223200号公報に記載されているような
制御ユニットは必要なく、この点からも、必要な機能が
統合された多機能チップを用いて多機能カードを実現す
る場合に比べて開発が容易で且つ開発期間も短くて済
む。

【0012】以上の構成の多機能カードに係る発明は、
当該カードを構成する各単機能チップに係る発明として
も成立し、また多機能カードの構成方法に係る発明とし
ても成立する。

【0013】

【発明の実施の形態】以下、本発明の実施の形態につき
図面を参照して説明する。

【0014】[第1の実施形態]図1は本発明の第1の

実施形態に係る多機能カードのブロック構成を示す。図1の多機能カード10は、それぞれ固有の機能F1、F2、F3を有する3つの単機能チップ11A、11B、11Cを備えている。

【0015】チップ11A、11B、11Cは、それぞれコマンドライン(CMD)12、応答ライン(RSP)13、及びデータライン(DAT)14によりデジーチェーン(daisy chain)接続されている。コマンドライン12は命令のシリアル転送に用いられる。応答ライン13は命令に対する応答等のシリアル転送に用いられる。データライン14はデータの転送に用いられる。データライン14のデータ幅は例えば4ビットである。

【0016】コマンドライン12は信号の方向がチップ11A→チップ11B→チップ11Cの単方向信号ラインである。応答ライン13は信号の方向がコマンドライン12とは逆の単方向信号ラインである。コマンドライン12の終端は応答ライン13の始端と接続されている。つまりコマンドライン12はチップ11Cで応答ライン13側に折り返されている。これにより、チップ11Cからコマンドライン12に送出された命令は応答ライン13を介して当該チップ11Cに戻される。データライン14のデータ方向は双方向であり、その方向はコマンドライン12上の命令によって決定されて、後述するインタフェース111A、111B、111Cにより切り替えられる。

【0017】また各チップ11A～11Cは電源ライン(VDD)15、接地ライン(GND)16及びクロックライン(CLK)17に共通に接続されている。

【0018】カード10は、当該カード10を利用するホストシステムのカードスロットに挿入されることにより、コマンドライン12、応答ライン13、データライン14、電源ライン15、接地ライン16及びクロックライン17を含むインタフェースバス18を介して、ホストシステムのドライバ(ホストドライバ)と接続される。

【0019】チップ11A、11B、11Cは、それぞれ、コマンドライン12、応答ライン13、データライン14及びクロックライン17と接続されるインタフェース111A、111B、111Cと、当該チップ11A、11B、11C全体を制御し、機能F1、F2、F3を実現するためのコントローラ112A、112B、112Cと、メモリ(記憶モジュール)113A、113B、113Cとを有している。

【0020】コントローラ112i(i=A、B、C)は、コマンドライン12を介して与えられる命令に対し、インタフェース111iを介して応答ライン13上に応答を返す。この命令のフォーマットを図2に、応答のフォーマットを図3に、それぞれ示す。

【0021】命令は、コマンドフィールド21と、機能

番号フィールド22と、アドレスフィールド23とを含む。また、1バイトのデータフィールド24を含むこともある。コマンドフィールド21はリード/ライト等の命令種類を指定し、機能番号フィールド22は図1のカードが有する機能の1つを指定するのに用いられる。この機能指定には機能番号(FN)が用いられる。ここでは、チップ11A、11B、11Cの機能F1、F2、F3の機能番号は、それぞれ1、2、3であるものとする。但し、チップ11A、11B、11Cが単独で用いられる場合には、機能F1、F2、F3の機能番号はいずれも1となる。アドレスフィールド23は、機能番号フィールド22に設定されている機能番号で決まるレジスタ領域内のレジスタを指定するのに用いられる。

【0022】応答は、カード10のステータスを示すステータスフィールド31と1バイトのデータが設定されるデータフィールド32とを含む。

【0023】メモリ113A、113B、113Cには、カード10の全ての機能F1、F2、F3に共通の、つまりカード10上の全てのチップ11A、11B、11Cに共通の同サイズの共通レジスタ領域(共通領域)114A、114B、114Cと、機能F1、F2、F3に固有の固有レジスタ領域115-1、115-2、115-3とが確保されている。領域114A、114B、114C、115-1、115-2、115-3には、それぞれ複数のレジスタが割り当てられている。ここでは、各レジスタのサイズは8ビット(1バイト)である。各チップ11A、11B、11Cのレジスタマップを図4(a)に示す。

【0024】共通レジスタ領域114i(i=A、B、C)は、特定の機能番号、例えば機能番号0(FN=0)によって共通に指定される。一方、固有レジスタ領域115-1、115-2、115-3は、対応する機能F1、F2、F3毎に独立した領域であり、それぞれ機能F1、F2、F3の機能番号1、2、3(FN=1、2、3)によって指定される。したがって、図4(a)に示した各チップ11A、11B、11Cのレジスタマップは、多機能カード10のレジスタマップとしては、図4(b)に示すレジスタマップ、即ち機能番号0によって指定される共通レジスタ領域114と、機能番号1、2、3(FN=1、2、3)によって指定される固有レジスタ領域115-1、115-2、115-3とから構成されるレジスタマップと等価である。この図4(b)のレジスタマップ構成は、後述するように、チップ11A、11B、11Cの各機能を1チップ(多機能チップ)に統合した場合にも適用される。つまり、チップ11A、11B、11Cを接続して複数機能が実現される多機能カードと、当該複数機能が1つのチップで実現される多機能カードとで、同一レジスタマップ構成とすることができる。

【0025】なお、チップ11A、11B、11Cが単

独でカードに実装される場合、つまり当該チップ11A, 11B, 11Cのカード上の位置が後述するように先頭で且つ最後の場合には、当該チップ11A, 11B, 11Cの固有レジスタ領域115-1, 115-2, 115-3はいずれも機能番号1によって指定される。

【0026】本実施形態では、チップ11A, 11B, 11Cがそれぞれ1つの機能F1, F2, F3を有するものとしているが、複数の機能を有していても構わない。複数の機能を有するチップには、その機能数分の固有領域を用意すればよい。この場合、1つのチップに、機能数分の機能番号が割り当てられる。

【0027】チップ11A, 11B, 11Cは、それぞれ、例えば2本の特定端子116A及び117A, 116B及び117B, 116C及び117Cを有している。このチップ11iの特定端子116i及び117iは、当該チップ11iのカード上の接続位置がホストシステム側を基準に先頭位置、または最後の位置、またはそれ以外の位置のいずれであるかを指定するのに用いられる。また、チップ11iの特定端子116i及び117iは、当該チップ11iが単独で用いられる場合には、当該チップ11iのカード上の接続位置が先頭で且つ最後の位置であることを指定するのに用いられる。このチップ11iの接続位置は、当該チップ11iの特定端子116i及び117iの各々をカード上の電源ライン15または接地ライン16に接続することで、つまり“1”または“0”に設定することで、指定可能である。この端子116i及び117iの状態とチップ11iの位置との関係の一例を図5に示す。

【0028】次に、本実施形態の動作を、(1)初期化時と(2)命令受信時のそれぞれについて、順次説明する。

【0029】(1)初期化時

まず、多機能カード10の初期化時の動作について、図6のフローチャートを参照して説明する。

【0030】ホストシステムの電源が投入されている状態で、当該ホストシステムのカードスロットにカード10が挿入されると、インタフェースバス18の電源ライン15を介して当該カード10に電源が供給される。また、カード10がホストシステムのカードスロットに挿入されている状態で、ホストシステムの電源が投入されても、当該カード10に電源が供給される。このようにカード10に電源が供給された場合などにおいては、単機能チップ11i (i=A, B, C)のコントローラ112iは、以下に述べる初期化処理を実行する。

【0031】まずコントローラ112iは、端子116i及び117iの論理状態から、単機能チップ11iのカード10上の位置が先頭であるか否かを判定する(ステップA1)。もし、先頭である場合、つまりチップ11iが単機能チップ11Aの場合、コントローラ112iは自身の機能数を変数pに設定すると共に、機能番号

を示す変数nを初期値0に設定する(ステップA2, A3)。

【0032】次にコントローラ112iは、変数nを1インクリメントした値を自身の機能の機能番号nとして設定する(ステップA4)。次にコントローラ112iは、変数pを1デクリメントして、そのデクリメント後のpが0であるか否かを判定する(ステップA5, A6)。もし、pが0でないならば、コントローラ112iは再びステップA4を実行する。これに対し、pが0であるならば、コントローラ112iは現在の機能番号nの値、つまり自身の設定した最大機能番号nの値をデータ“n”として、インタフェース111iによりクロックライン17上のクロック信号に同期してデータライン14に送出させる(ステップA7)。このときコントローラ112iは、初期化コマンドをインタフェース111iによりコマンドライン12に送出させる。この初期化コマンドは、後続のチップ11B及びチップ11Cに順にシリアル転送される。

【0033】本実施形態において、先頭位置のチップは機能F1のみを有する単機能チップ11Aである。この場合、チップ11AではステップA4～A6が1回だけ実行されて、機能F1の機能番号として1が設定される。したがって、チップ11Aからは、図7のタイミングチャートに示すようにデータ“1”が1クロックの期間だけ送出される。

【0034】一方、先頭以外のチップ11iのコントローラ112iは、インタフェース111iにより、コマンドライン12から初期化コマンドが、データライン14から0以外のデータ“n”が、それぞれ受信されるのを待つ(ステップA10)。そして、0以外のデータ“n”が受信されると、コントローラ112iは自身の機能数を変数pに設定する(ステップA11)。次にコントローラ112iは、機能番号を示す変数nを受信データ“n”の値に設定する(ステップA12)。以降の動作は先頭のチップ11i (11A)と同様であり、ステップA4～A6と同様のステップA13～A15が実行される。

【0035】コントローラ112iは、ステップA13～A15をチップ11iの有する機能数だけ実行すると、当該チップ11iのカード10上の位置が最後であるか否かを判定する(ステップA16)。もし、最後でないならば、コントローラ112iは受信データ“n”を現在の機能番号nの値、つまり自身の設定した最大機能番号nの値に変更して、データライン14を介して次段のチップに送出させる(ステップA17)。本実施形態において、チップ11Aの次段のチップ11Bは機能F2のみを有することから、当該チップ11BではステップA13～A15が1回だけ実行されて、機能F2の機能番号として2が設定される。したがって、チップ11Bからは、図7のタイミングチャートに示すようにデ

ータ“2”が次の1クロックの期間だけ送出される。

【0036】これに対し、最後のチップ11iのコントローラ112iは、現在の機能番号nの値、つまり自身の設定した最大機能番号nの値がデータフィールド32に設定された応答を、インタフェース111iにより応答ライン13上に送出させる（ステップA20）。本実施形態において、最後のチップは機能F3のみを有する単機能チップ11Cであることから、当該チップ11CではステップA13～A15が1回だけ実行されて、機能F3の機能番号として3が設定される。したがって、チップ11Cからは、図7のタイミングチャートに示すようにデータ“3”が付された応答が次のクロックのタイミングから一定クロック数の期間送出される。

【0037】チップ11Bでは、チップ11Cからの応答がインタフェース111Bで受信されると、その応答が、図7のタイミングチャートに示すように1クロック期間だけ遅延されて、そのまま前段のチップ11Aに伝達される（ステップA18、A19）。チップ11Aでは、チップ11Bにより伝達された応答が受信されると、その応答のデータフィールド32の値から、多機能カード10における最大機能番号、つまり機能数を判定してホストシステムのホストドライバに通知する（ステップA9）。

【0038】ホストドライバは、チップ11Aから通知された機能数をもとに、カード10が有する各機能の機能番号を認識する。そしてホストドライバは、認識した各機能番号を用いて対応する機能毎のコンフィギュレーションを行う。

【0039】なお、図6のフローチャートでは、チップ11iが単独で使用される場合については考慮されていない。必要ならば、例えば図13のフローチャートに示すように、ステップA1の前で、チップ11iの位置が先頭で且つ最後であるか否かを判定し（ステップE1）、YESであれば、つまりチップ11iが単独で使用されているならば、ステップA2～A6、A9と同様のステップE2～E6、E7を処理を実行すればよい。一方、ステップE1の判定がNOであれば、つまりチップ11iが他の単機能チップと接続して使用されているならば、図6のフローチャートと同一の処理、即ちステップA1以降の処理を実行すればよい。明らかなように、チップ11iが単独で使用される場合、当該チップ11iが1つの機能を有しているならば、その機能には必ず機能番号1が割り当てられる。また、複数の機能を有しているならば、その機能数をNとすると、そのN個の機能には、それぞれ機能番号1～Nが割り当てられる。

【0040】また、図1の構成では、チップ11A～11Cがコマンドライン12によりデジチェーン接続されているものとしたが、これに限るものではない。例えば、チップ11A～11Cがコマンドライン12によ

り共通に接続されるものであっても構わない。但し、図1の構成では、各チップ11A～11Cが自身の機能番号nを通知するのに、コマンドライン12を用いることもできる。この例を図8に示す。

【0041】ここでは、先頭のチップ11Aは自身の機能番号としてn=1を設定すると、データフィールド24のビットn-1、即ちビット0に“1”が設定された初期化命令をコマンドライン12上に送出する。チップ11Bは、この初期化命令を受信すると、データフィールド24内で“1”が設定されている最大ビット位置n-1、即ちビット0から、前段のチップ11Aの最大機能番号n、即ちn=1を判別する。次にチップ11Bは、自身の機能番号としてn=n+1=2を設定する。そしてチップ11Bは、受信した初期化命令のデータフィールド24のビットn-1、即ちビット1に“1”を設定して、当該命令をコマンドライン12に送出する。

【0042】最後のチップ11Cは、チップ11Bからの初期化命令を受信すると、データフィールド24内で“1”が設定されている最大ビット位置1から、前段のチップ11Bの最大機能番号2を判別する。次にチップ11Cは、自身の機能番号としてチップ11Bの最大機能番号2を1インクリメントした3を設定する。そしてチップ11Cは、受信した初期化命令のデータフィールド24のビット2に“1”を設定して、当該命令をコマンドライン12に送出する。このチップ11Cからコマンドライン12に送出された命令は応答ライン13を介して当該チップ11Cに伝達される。これを受けてチップ11Cは、自身が送出した命令のデータフィールド24と同一内容のデータフィールド32を持つ応答を応答ライン13上に送出する。この応答は、応答ライン13を介してチップ11B及びチップ11Aに順次伝達される。チップ11Cは、応答中のデータフィールド32内で“1”が設定されている最大ビット位置2から、カード10の機能数3を判定する。

【0043】（2）命令受信時

次に、ホストシステムのホストドライバから送られた命令がカード10のチップ11iで受信された場合の動作について、図9乃至図11のフローチャートを参照して説明する。

【0044】まず、ホストドライバからインタフェースバス18のコマンドライン12に送出された命令は、当該コマンドライン12によりデジチェーン接続された、カード10上のチップ11A、11B、11Cに順次シリアル転送される。

【0045】チップ11i（i=A、B、C）のコントローラ112iは、コマンドライン12を介して転送された命令がインタフェース111iにより受信されると、当該命令のコマンドフィールド21から当該命令がリードまたはライトのいずれを指定しているかを判定する（ステップB1）。なお本実施形態では、説明を簡略

化するために、1バイトを超えるデータのリードまたはライト動作、即ち複数のレジスタを対象とするリードまたはライト動作は指定されていないものとする。

【0046】受信された命令がライトを指定している場合、コントローラ112iは当該命令の機能番号フィールド22に設定されている機能番号FNが0であるか否かを判定する(ステップB2)。もし、機能番号FNが0であるならば、コントローラ112iは共通レジスタ領域114i内のレジスタのうち、上記命令のアドレスフィールド23に設定されているアドレスにより指定されるレジスタにデータを書き込む(ステップB3)。

【0047】このように、機能番号FNとして0が指定された場合のライト動作は、カード10上の全てのチップ11A、11B、11Cで、共通レジスタ領域114A、114B、114C内の指定レジスタに同一データをライトする動作が行われる。このデータ(ライトデータ)は、ホストドライバからインタフェースバス18のデータライン14を介して転送される。また、この例のように1バイト以下のデータのライトの場合には、当該データを上記命令のデータフィールド24に設定して転送することもできる。

【0048】一方、指定された機能番号FNが0でない場合、コントローラ112iは当該FNがチップ11iの機能番号nに一致しているか否かを判定する(ステップB4)。なお、複数の機能を有するチップでは、その複数機能のそれぞれに割り当てられた機能番号の1つに機能番号FNが一致しているか否かが判定される。

【0049】コントローラ112iは、指定された機能番号FNが、チップ11iの有する機能の機能番号j(jは1~3のいずれか)に一致する場合、当該チップ11iが選択されたものとして、機能番号FN=jで指定される固有レジスタ領域(#FN)115-j内の指定レジスタにデータを書き込む(ステップB5)。ここでは、FNが1であれば、チップ11Aが選択されて、当該チップ11A内の固有レジスタ領域115-1がアクセスされる。同様に、FNが2であれば、チップ11Bが選択されて、当該チップ11B内の固有レジスタ領域115-2がアクセスされ、FNが3であれば、チップ11Cが選択されて、当該チップ11C内の固有レジスタ領域115-3がアクセスされる。

【0050】コントローラ112iは、ステップB3またはB5を実行すると、ステップB6に進む。またコントローラ112iは、指定された機能番号FNが、チップ11iの有する機能の機能番号jに一致しない場合には、ステップB5をスキップしてステップB6に進む。

【0051】コントローラ112iは、ステップB6では、チップ11iのカード10上の位置が最後であるか否かを判定する。もし、最後であるならば、コントローラ112iは、ホストドライバからの命令に対する応答をインタフェース111iにより応答ライン13上に送

出させる(ステップB7)。

【0052】これに対し、最後でないなら、コントローラ112iは、最後のチップ(図1の例ではチップ11C)からコマンドライン12に送出された応答を受信するのを待つ(ステップB8)。そしてコントローラ112iは、応答を受信すると、チップ11iのカード10上の位置が先頭であるか否かを判定する(ステップB9)。

【0053】もし、先頭でないならば、コントローラ112iは受信した応答をインタフェース111iによりそのまま応答ライン13を介して前段のチップに伝達させる(ステップB10)。一方、先頭であるならば、コントローラ112iは受信した応答のステータスフィールド31にステータスを設定して、インタフェース111iにより応答ライン13を介してホストドライバに伝達させる(ステップB11)。

【0054】次に、受信された命令がリードを指定していると判定された場合、コントローラ112iは当該命令の機能番号フィールド22に設定されている機能番号FNが0であるか否かを判定する(ステップC1)。機能番号FNが0でない場合、コントローラ112iは当該FNがチップ11iの機能番号nに一致しているか否かを判定する(ステップC2)。

【0055】コントローラ112iは、指定された機能番号FNが、チップ11iの有する機能の機能番号j(jは1~3のいずれか)に一致する場合、当該チップ11iが選択されたものとして、機能番号FN=jで指定される固有レジスタ領域(#FN)115-j内の指定レジスタからデータを読み出す(ステップC3)。このステップC1、C2、C3は、リードとライトの違いはあるものの、上記ステップB2、B4、B5と同様である。これに対し、指定された機能番号FNが、チップ11iの有する機能の機能番号jに一致しない場合には、コントローラ112iは、上記ステップB6以降の処理を実行する。

【0056】一方、ステップC1で機能番号FNが0であると判定された場合、コントローラ112iは共通レジスタ領域114i内の指定レジスタが共通レジスタであるか否かを判定する(ステップC4)。共通レジスタとは、共通レジスタ領域114A、114B、114C内の相対位置が同一のレジスタであって、且つ各チップ11A、11B、11Cに共通の同一内容のレジスタを指す。共通レジスタ領域114A、114B、114C内の共通レジスタはホストドライバから指定される。ここで、共通レジスタのリードアクセスは、チップ11A、11B、11Cのうちホストドライバによって選択されているチップによってのみ行われる。

【0057】そのため、コントローラ112iは、共通レジスタ領域114i内の指定レジスタが共通レジスタである場合、その共通レジスタアクセスに関し、チップ

11iが選択されているか否かを判定する(ステップC5)。もしチップ11iが選択されているならば、コントローラ112iは共通レジスタ領域114i内の指定された共通レジスタをリードする(ステップC6)。これに対し、チップ11iが選択されていないならば、コントローラ112iは上記ステップB6以降の処理を実行する。

【0058】コントローラ112iは、ステップC3またはC6のリード動作を行うと、チップ11iのカード10上の位置が最後であるか否かを判定する(ステップC7)。もし、最後であるならば、コントローラ112iは、ホストドライバからの命令に対する応答をインタフェース111iにより応答ライン13上に送出させると共に、リードしたデータをデータライン14上に送出させる(ステップC8)。なお、本実施形態のように1つのレジスタからのデータリード、つまり1バイトリードの場合には、リードデータを応答のデータフィールド32に設定して転送することも可能である。

【0059】これに対し、最後でないなら、コントローラ112iは、最後のチップ(図1の例ではチップ11C)からコマンドライン12に送出された応答を受信するのを待つ(ステップC9)。そしてコントローラ112iは、応答を受信すると、チップ11iのカード10上の位置が先頭であるか否かを判定する(ステップBC10)。

【0060】もし、先頭でないならば、コントローラ112iは受信した応答をインタフェース111iによりそのまま応答ライン13を介して前段のチップに伝達させると共に、リードしたデータをデータライン14上に送出させる(ステップC11)。一方、先頭であるならば、コントローラ112iは受信した応答のステータスフィールド31にステータスを設定して、インタフェース111iにより応答ライン13を介してホストドライバに伝達させると共に、リードしたデータをデータライン14を介してホストドライバに送出させる(ステップC12)。これにより、チップ11A、11B、11Cの共通レジスタ領域114A、114B、114Cを、カード10全体では、ホストドライバに対して、図4(b)のレジスタマップの共通レジスタ領域114として見せることができる。

【0061】一方、ステップC4で指定レジスタが共通レジスタでないと判定された場合、つまり共通レジスタ以外のレジスタリードの場合、コントローラ112iはステップD1を実行する。コントローラ112iは、このステップD1において、共通レジスタ領域114i内の指定レジスタのビット0~7のうち、自身の機能番号nに対応するビットn-1をリードする。このリード動作は、指定レジスタをリードして、そのビットn-1を選択することにより実現される。もし、自身の機能番号が複数設定されている場合には、それらの各機能番号に

対応するビットが全てリードされる。本実施形態では、チップ11A、11B、11Cの機能番号はそれぞれ1、2、3である。この場合、チップ11Aのコントローラ112Aでは共通レジスタ領域114A内の指定レジスタのビット0がリードされる。同様に、チップ11Bのコントローラ112Bでは共通レジスタ領域114B内の指定レジスタのビット1がリードされ、チップ11Cのコントローラ112Cでは共通レジスタ領域114C内の指定レジスタのビット2がリードされる。

【0062】コントローラ112iはステップD1のリード動作を実行すると、チップ11iのカード10上の位置が最後であるか否かを判定する(ステップD2)。もし、最後であるならば、コントローラ112iは、ホストドライバからの命令に対する応答であって、そのデータフィールド24のビットn-1にステップD1でリードしたデータ(ビットデータ)がセットされた応答を、インタフェース111iにより応答ライン13上に送出させる(ステップD3)。

【0063】これに対し、最後でないなら、コントローラ112iは、最後のチップ(図1の例ではチップ11C)からコマンドライン12に送出された応答を受信するのを待つ(ステップD4)。そしてコントローラ112iは、応答を受信すると、チップ11iのカード10上の位置が先頭であるか否かを判定する(ステップBD5)。

【0064】もし、先頭でないならば、コントローラ112iは受信した応答のデータフィールド24のビットn-1にステップD1でリードしたデータを設定して、インタフェース111iにより応答ライン13を介して前段のチップに伝達させる(ステップD6)。一方、先頭であるならば、コントローラ112iは受信した応答のステータスフィールド31にステータスを、データフィールド32のビットn-1にリードデータを、それぞれ設定して、インタフェース111iにより応答ライン13を介してホストドライバに伝達させる(ステップD7)。これにより、チップ11A、11B、11Cの共通レジスタ領域114A、114B、114Cを、カード10全体では、ホストドライバに対して、図4(b)のレジスタマップの共通レジスタ領域114として見せることができる。

【0065】[第2の実施形態] 図12は本発明の第2の実施形態に係る多機能カードのブロック構成を示す。図12の多機能カード20は、図1の多機能カード10と同一機能F1、F2、F3を有する多機能チップ120を備えている。多機能チップ120は、カード10を構成するのに用いられた単機能チップ11A、11B、11Cの機能F1、F2、F3を高集積化して1つのチップに統合したものである。この多機能チップ120は、単機能チップ11A、11B、11Cに比べて、開発に時間を要するものの、高集積化により低コスト化と

実装面積の低減を図ることができる。そこで、当初は図1のカード10を製造・販売し、多機能チップ120の開発が完了した時点で、図2のカード20の製造・販売に切り替えるとよい。

【0066】チップ120は、機能F1、F2、F3を有する機能モジュール121-1、121-2、121-3と、ホストドライバとのインタフェースをなすと共に、機能モジュール121-1、121-2、121-3を管理するインタフェースモジュール（IFモジュール）122と、メモリ123を含む。IFモジュール122は、カード20がホストシステムのカードスロットに挿入されることにより、インタフェースバス18を介してホストドライバと接続される。

【0067】メモリ123には、図4（b）に示したレジスタマップ構成をとる、共通レジスタ領域114及び固有レジスタ領域115-1、115-2、115-3が割り当てられている。このカード20でのレジスタマップ構成と、カード10でのレジスタマップ構成とは、カード20では機能F1、F2、F3が統合された多機能チップ120を用い、カード10では機能F1、F2、F3を有し、且つ単独で使用可能な単機能チップ11A、11B、11Cを接続して用いていながら、同一である。したがって、ホストシステムでカード20を用いる場合でも、或いはカード10を用いる場合でも、ホストドライバを切り替える必要がない。つまり、2種類のホストドライバを開発する必要がない。

【0068】なお、本発明は、上記各実施形態に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。更に、上記実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出され得る。例えば、実施形態に示される全構成要件から幾つかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題が解決でき、発明の効果の欄で述べられている効果の少なくとも1つが得られる場合には、この構成要件が削除された構成が発明として抽出され得る。

【0069】

【発明の効果】以上詳述したように本発明によれば、多機能カードを実現するのに、複数の単機能チップを接続すると共に、当該各チップに共通領域及び固有領域を含む記憶モジュールを設け、受信した命令中の機能番号が当該各チップに共通の特定機能番号であるならば共通領域がアクセスされ、その機能番号が当該チップの有する機能に割り当てられた機能番号であるならば、その機能に固有の当該チップ内の固定領域がアクセスされる構成とした。これにより、多機能カードを実現するのに、当該カード上の各単機能チップの機能を管理するための、特開平9-223200号公報に記載されているような独立の制御ユニットを不要とすることができる。しか

も、複数の単機能チップを用いて多機能カードを実現していることから、必要な機能が統合された多機能チップを用いて多機能カードを実現する場合に比べて開発が容易で且つ開発期間も短くて済む。

【0070】また、本発明によれば、各チップが有する共通領域を、カード全体では1つの共通領域として見せることができる。これによりカード全体のメモリマップ構成は、カードが有する全ての機能（チップ）に共通の1つの共通領域と、各機能毎の固有領域とからなるメモリマップ構成、即ち低コスト化と実装面積の低減のために、必要な機能が統合された多機能チップを用いて実現される多機能カードで適用すべきメモリマップ構成と等価となる。したがって、いずれのタイプの多機能カードを使用する場合でも、同一のホストドライバで対応でき、2種類のホストドライバを開発する必要がない。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係る多機能カードの構成を示すブロック図。

【図2】同実施形態で適用される命令のフォーマットを示す図。

【図3】同実施形態で適用される応答のフォーマットを示す図。

【図4】カード10内の各単機能チップ11A、11B、11Cにおけるレジスタマップ構成と、当該カード10全体のレジスタマップ構成とを対比して示す図。

【図5】カード10内の各チップ11i（i=A、B、C）の端子116i及び117iの状態と当該カード10内のチップ位置との関係を示す図。

【図6】図1の多機能カード10の初期化時の動作を説明するためのフローチャート。

【図7】図1の多機能カード10の初期化時の動作を説明するためのタイミングチャート。

【図8】図1の多機能カード10の初期化時の動作の変形例を説明するためのタイミングチャート。

【図9】図1の多機能カード10の命令受信時の動作を説明するためのフローチャートの一部を示す図。

【図10】図1の多機能カード10の命令受信時の動作を説明するためのフローチャートの他の一部を示す図。

【図11】図1の多機能カード10の命令受信時の動作を説明するためのフローチャートの残りを図。

【図12】本発明の第2の実施形態に係る多機能カードの構成を示すブロック図。

【図13】図1のカード10内のチップ11i（i=A、B、C）が単独で使用される場合を考慮した初期化時の動作を説明するためのフローチャートの要部を示す図。

【符号の説明】

10、20…多機能カード

11A、11B、11C…単機能チップ

12…コマンドライン

- 13…応答ライン

14…データライン

15…電源ライン

16…接地ライン

17…クロックライン

18…インタフェースバス

21…コマンドフィールド

22…機能番号フィールド

23…アドレスフィールド

24, 32…データフィールド

31…ステータスフィールド

111A, 111B, 111C…インタフェース

112A, 112B, 112C…コントローラ

113A, 113B, 113C, 123…メモリ (記憶モジュール)

114A, 114B, 114C, 114…共通レジスタ領域 (共通領域)

115-1, 115-2, 115-3…固有レジスタ領域 (固有領域)

116A, 116B, 116C…特定端子 (第1の端子)

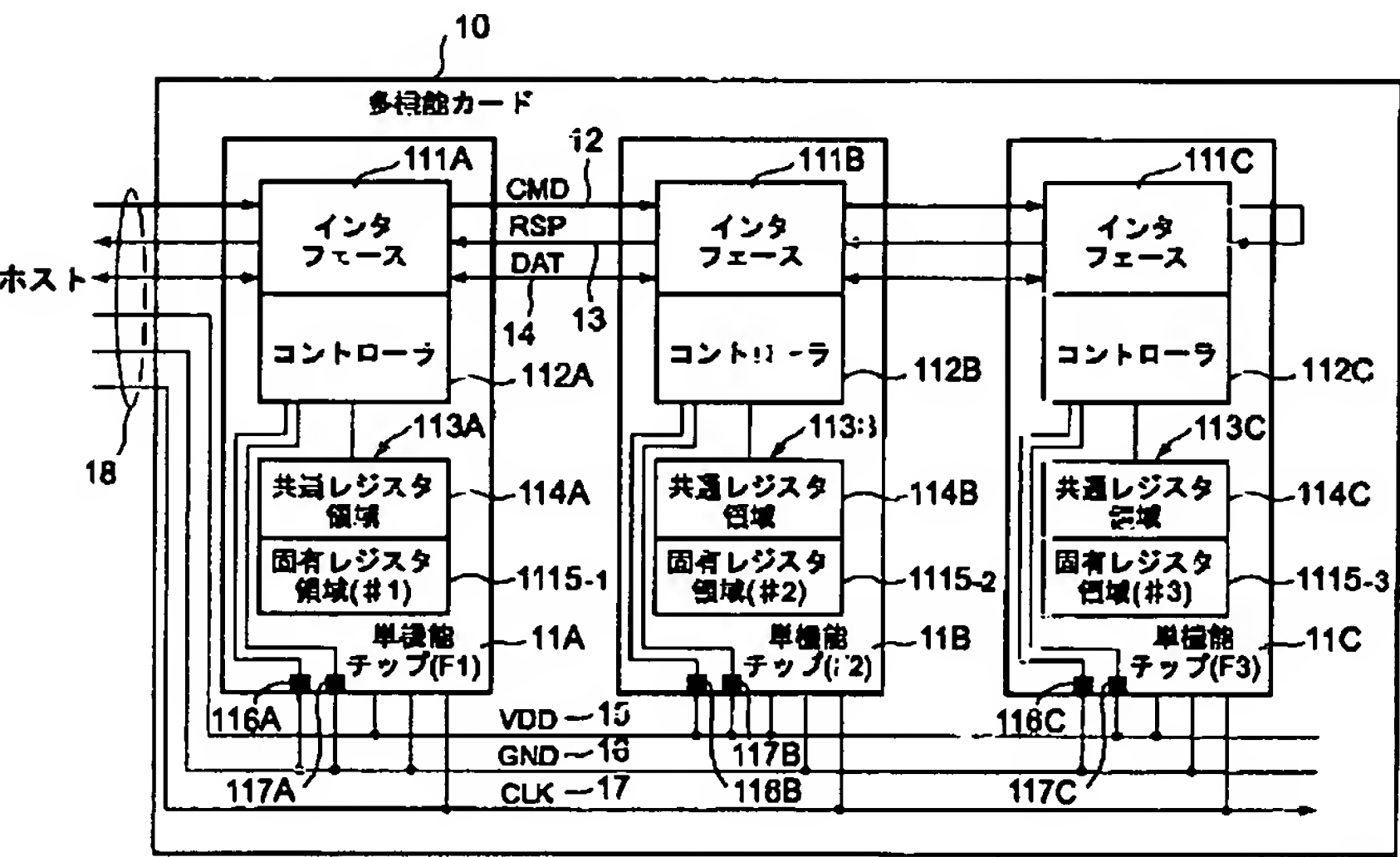
117A, 117B, 117C…特定端子 (第2の端子)

120…多機能チップ

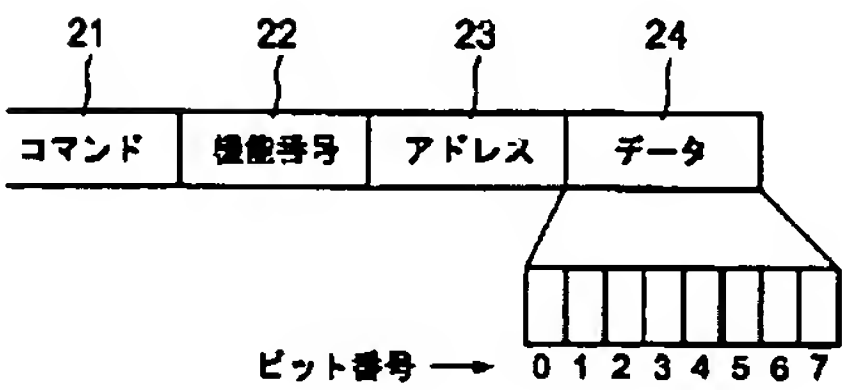
121-1, 121-2, 121-3…機能モジュール

122…インタフェースモジュール (IFモジュール)

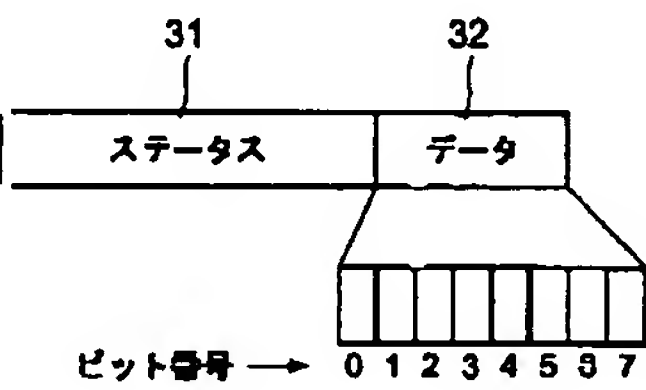
【図1】



【図2】



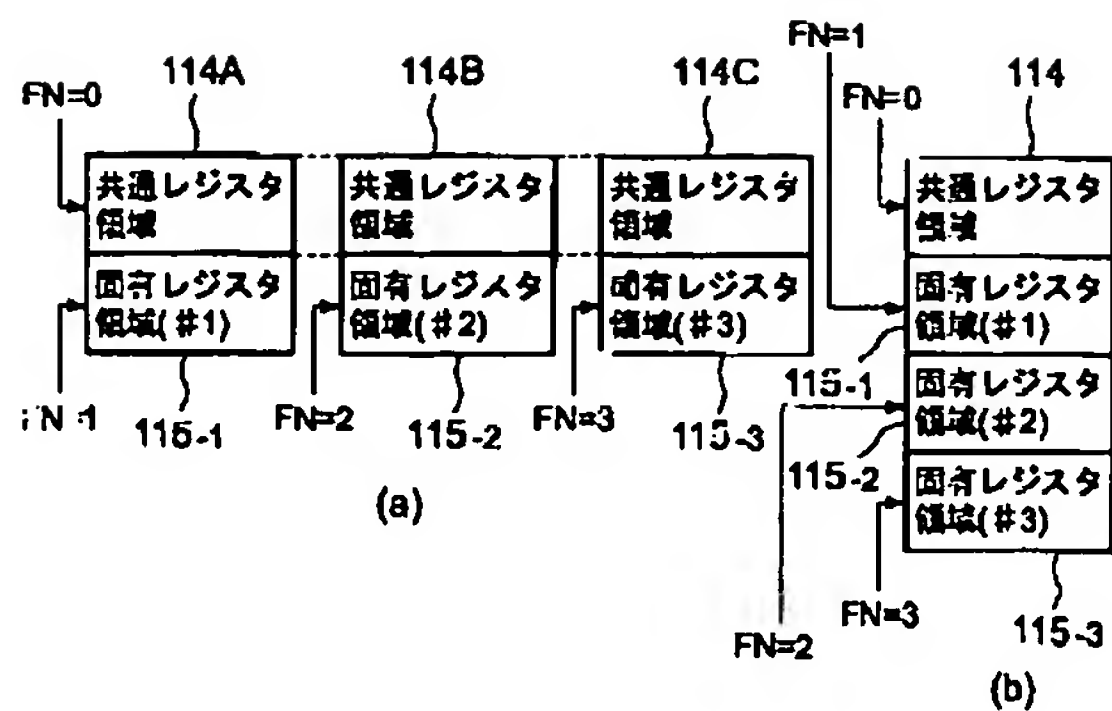
【図3】



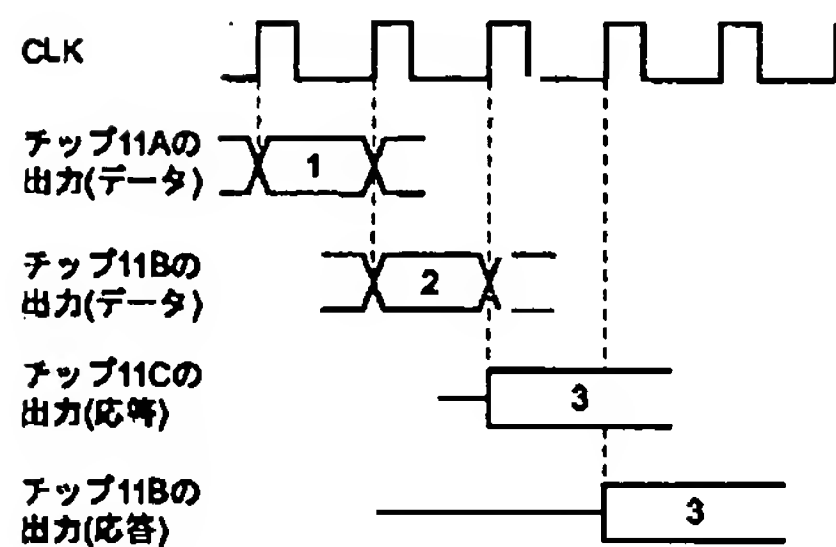
【図5】

端子116i	端子117i	チップ位置
0	0	先頭
0	1	最後
1	0	先頭で最後
1	1	先頭と最後以外

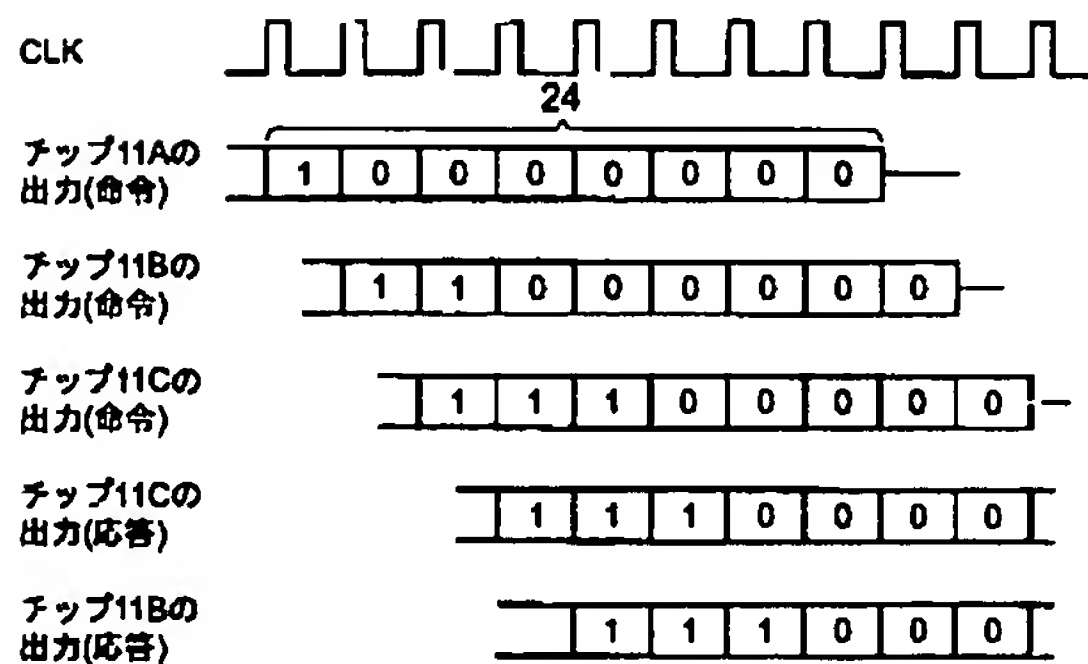
【図4】



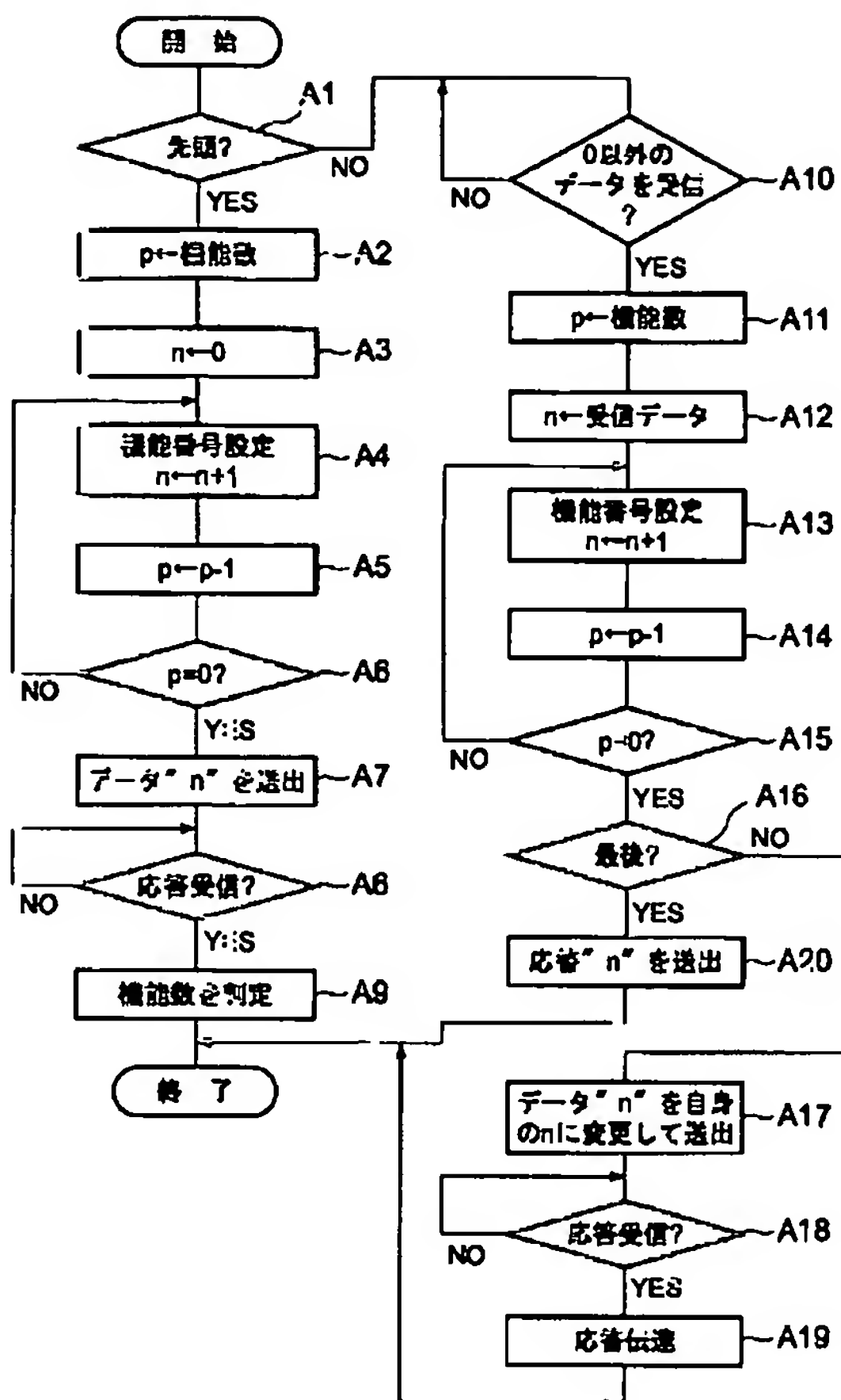
【図7】



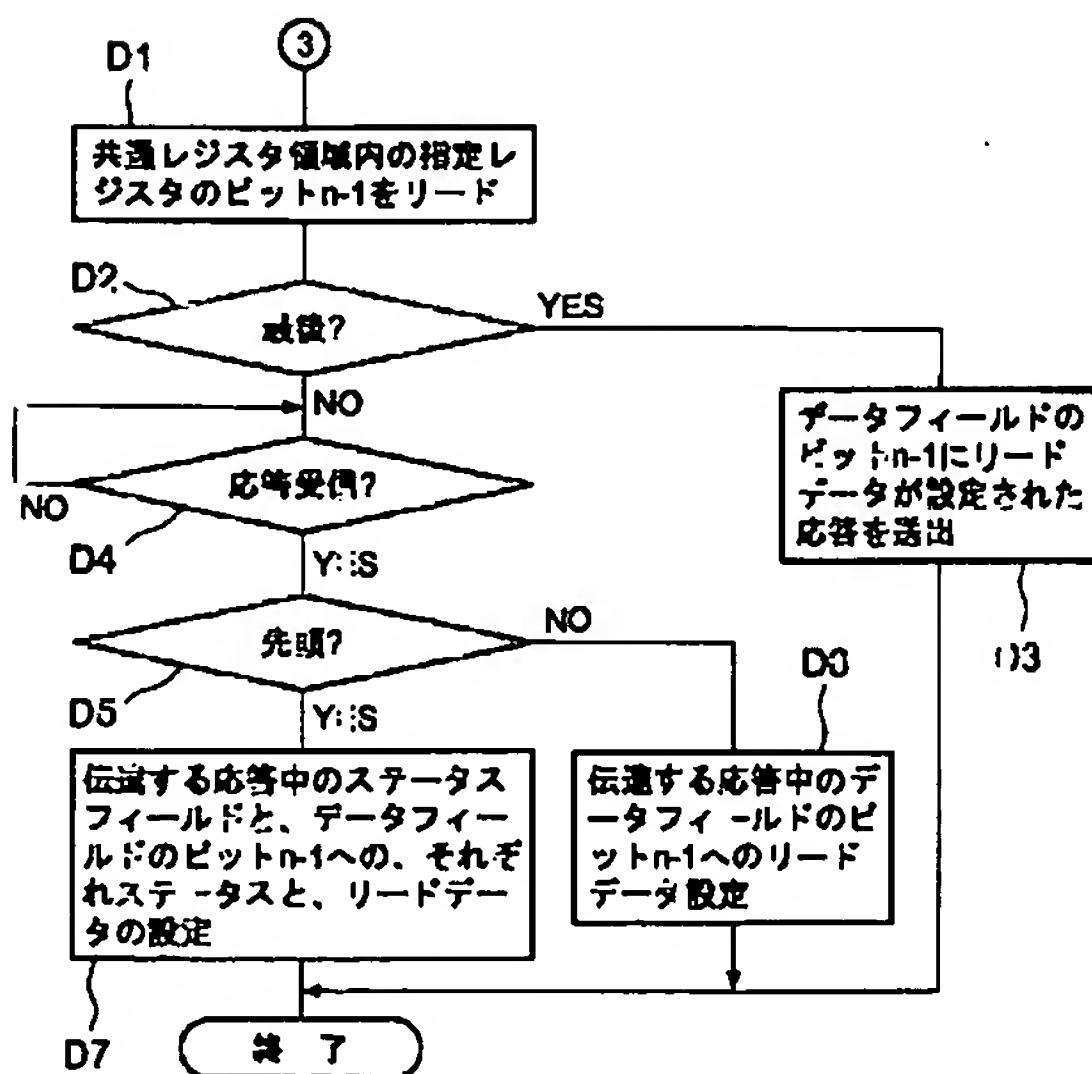
【図8】



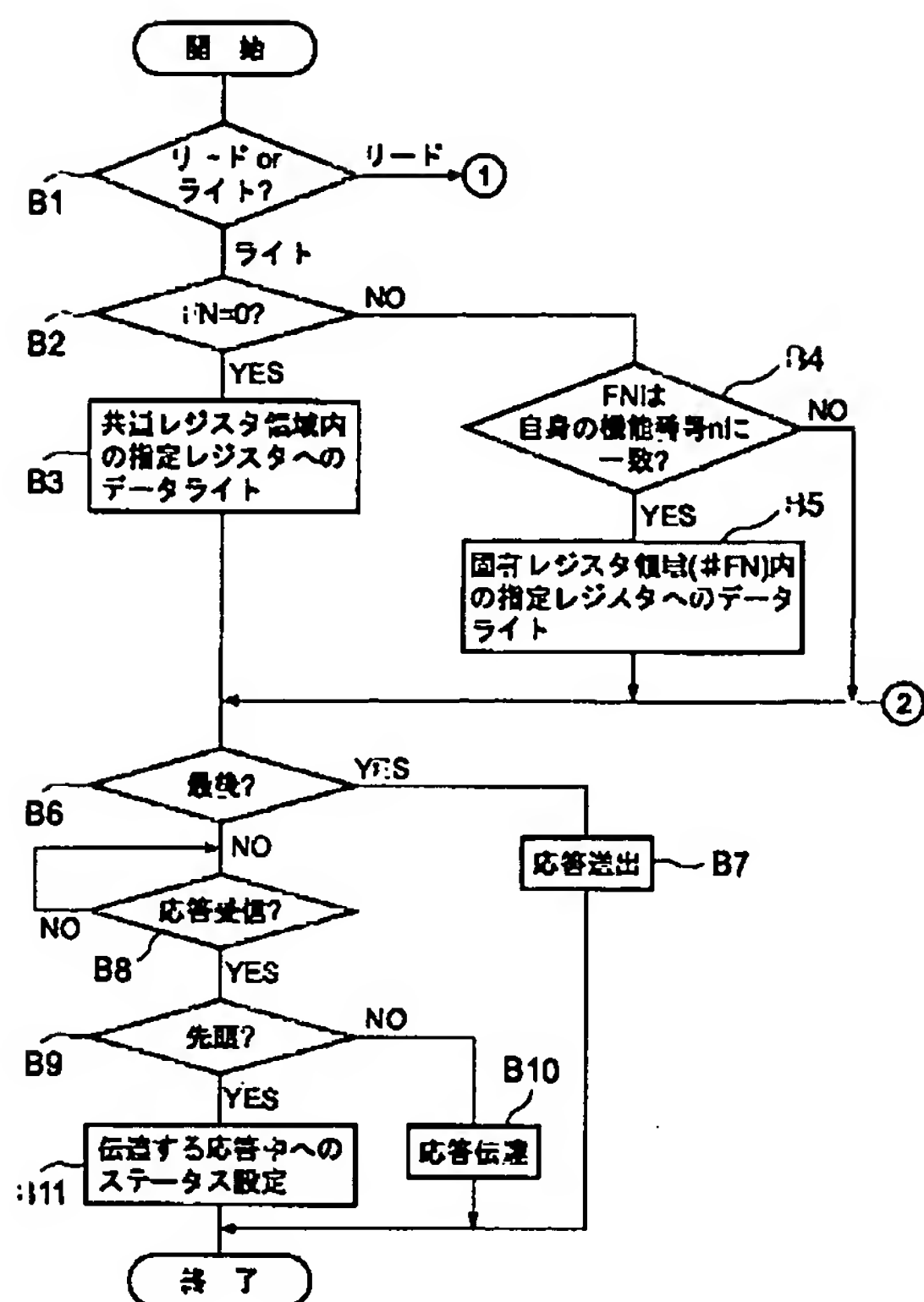
【図6】



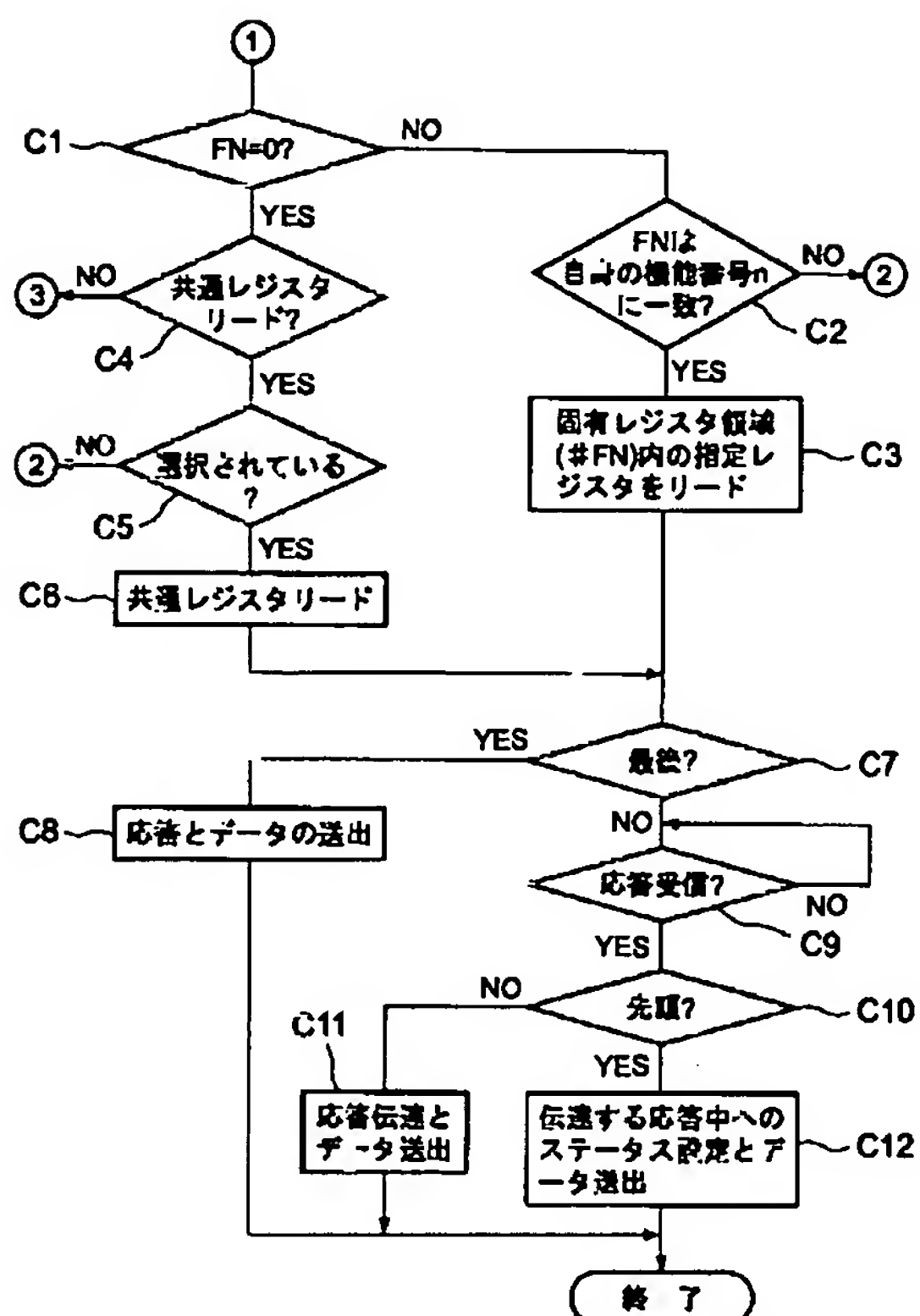
【図11】



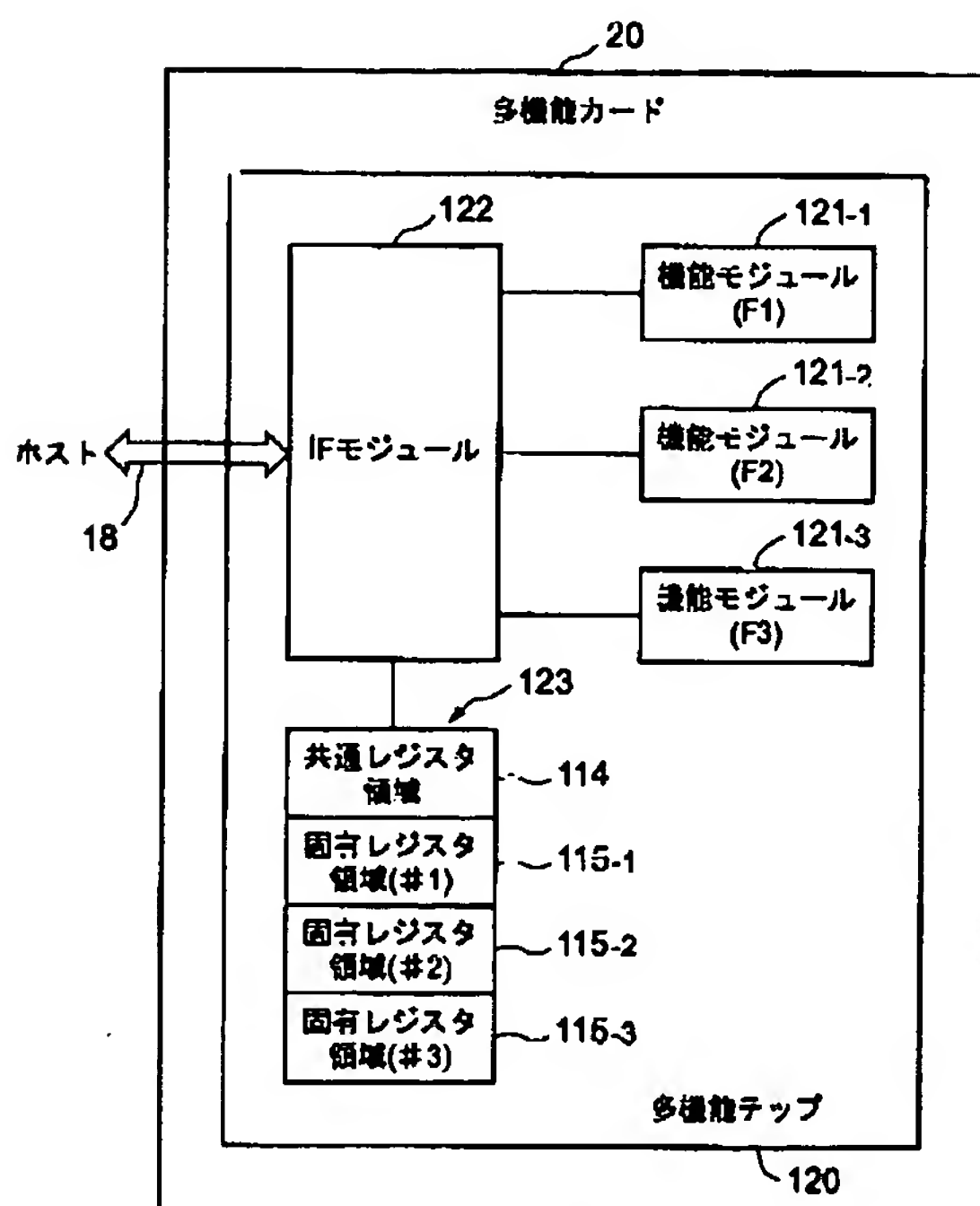
【図9】



【図10】



【図12】



【図13】

